



SIMULADOR INTERATIVO PARA PROGRAMAÇÃO NA ARQUITETURA DE PROCESSADORES RISC-V

Eduardo Michel Deves de Souza, Douglas Rossi de Melo

Ciência da Computação - Sistemas de Computação

Sistemas embarcados compõem a classe de computadores que apresentam maior volume e que estão cada vez mais presentes no cotidiano. O elemento principal desses sistemas é o processador, que pode ser encontrado na forma discreta, representado por um componente físico, como também na forma de núcleos, como os utilizados em dispositivos lógicos programáveis. Processadores de uma mesma arquitetura compartilham do mesmo conjunto de instruções, mas podem diferir quanto à implementação de sua organização. A linha de arquiteturas que favorece um conjunto simples e reduzido de instruções é conhecida como RISC (Reduced Instruction Set Computer). Um exemplo dessa classe de arquiteturas é o RISC-V, que consiste em uma iniciativa da academia e da indústria com o propósito de ser aberta e gratuita, visando facilitar e otimizar as implementações. Apesar da sua especificação ter começado no início da década, apenas recentemente tornou-se possível a aquisição de processadores discretos baseados no RISC-V. Devido à sua novidade, os recursos relacionados a essa arquitetura, como material de apoio, livros e ferramentas, são bastante reduzidos quando comparados aos de arquiteturas mais antigas e consolidadas. Tal situação acaba por limitar o uso do RISC-V em sistemas computacionais embarcados. Diante do problema apresentado, este projeto propõe a elaboração de um simulador como material instrucional para facilitar o uso da arquitetura RISC-V. O simulador será compartilhado em repositórios colaborativos, destinado a instrutores, professores e projetistas de sistemas embarcados. O projeto possui dois planos de trabalho distintos: desenvolver a parte de back-end e front-end da ferramenta. No primeiro plano de trabalho, utiliza-se JavaScript como linguagem principal, juntamente com Node.js, Express e Swagger. O projeto progrediu seguindo as seguintes etapas: inicialmente, foi feito um estudo sobre a arquitetura RISC-V, análise de trabalhos relacionados e similares, em seguida, foi feita a implementação e, por fim, os resultados foram avaliados. Após a conclusão da implementação, foi conduzido uma série de testes para verificar a funcionalidade e precisão do processador. Foi utilizada uma variedade de casos de teste, utilizando diferentes tipos de instruções e cenários de execução. Os resultados demonstraram que o processador era capaz de processar as instruções corretamente e fornecer respostas consistentes conforme o código submetido. Como próximo passo, o foco será no desenvolvimento do front-end, que desempenhará o papel de interface principal do processador. A integração entre o back-end e o front-end possibilitará que o simulador RISC-V proporcione uma experiência de aprendizado mais completa.

Palavras-chave: Sistemas Embarcados; Arquitetura de Computadores; RISC-V

XXII SEMINÁRIO
DE INICIAÇÃO CIENTÍFICA

XI Mostra Científica de Integração
Pós-Graduação e Graduação

I Jornada de Tecnologia e Inovação



ISSN 1983-117X

Apoio: Programa de Bolsas de Pesquisa do UNIEDU/Governo de Santa Catarina e UNIVALI