



## AVALIAÇÃO DO USO DE HLS PARA O DESENVOLVIMENTO DE ALGORITMOS DE APRENDIZADO DE MÁQUINA EM FPGA

*Bruno Jaciel de Mello, Leonardo Rebello Januário, Felipe Viel.*

Engenharias e Ciências Agrárias, Exatas e da Terra  
Ciência da Computação - Sistemas de Computação

O crescente ganho de desempenho e aumento na capacidade de processar grandes volumes de dados estão ligados ao aumento da integração de núcleos em único chip. Essa integração inclui processadores de propósito geral e algoritmos implementados como processadores de propósito específico (PPE) ou aceleradores em hardware. O uso de aceleradores aumenta o desempenho ao realizar processos específicos computacionalmente custosos em tempo e energia, como os algoritmos de aprendizado de máquina. Há diversas maneiras de implementar PPEs e, dentre elas, podemos citar o uso de linguagem de descrição de hardware, como VHDL, em Field Programmable Gate Array (FPGA). Outra forma é a adoção crescente é o uso de linguagem de programação de alto nível (HLL) sendo utilizadas para inferência de lógica em FPGA, como C/C++. Nesse contexto, surge a motivação deste trabalho, comparar a diferença de desempenho e custo obtidos em cada metodologia de desenvolvimento buscando explorar ferramentas, otimizações, algoritmos e conjunto de dados ao comparar algoritmos de aprendizado de máquina em VHDL e HLL para inferência de lógica para FPGA. Tal comparação buscou avaliar o uso desses algoritmos para classificação de imagens hiperespectrais e hardware. Dependendo da abordagem do desenvolvimento do processador, existe um custo energético, lógico e variação de desempenho obtido no projeto, no qual deve ser levado em consideração, principalmente para qual aplicação o processador vai ser utilizado. Processadores para aplicações espaciais necessitam ter custos baixos, pois há limitações no projeto e devem ser explorados ao máximo otimizações para obter uma maior eficiência, principalmente em tempo e energia. Para exploração, foi utilizado o algoritmo de aprendizado de máquina Support Vector Machine (SVM), o qual apresenta um bom desempenho para classificação de imagens hiperespectrais. Como a SVM é um algoritmo com aprendizado supervisionado, há necessidade de um conjunto de dados, compostos por pares de vetores de entrada e dos resultados desejados que se destinam para modelar o sistema de classificação. Como complemento ao processo de classificação da SVM, é implementado um módulo de decisão por distância Hamming, pois todos os classificadores SVM são confrontados de forma binária entre si, a fim de gerar um código resultante referente aos diversos confrontos binários dos classificadores SVM. Assim, o módulo Hamming indicará a classe da classificação baseado no conceito de distância Hamming de máscaras de comparação pré-geradas para cada classe. Com o algoritmo SVM desenvolvido em código alto nível, o primeiro passo é fazer a validação, logo utilizamos a imagem hiperespectral AVIRIS Indian Pines, a qual possui dimensões espaciais de 145x145 pixels e 220 bandas de reflectância espectral que representam diferentes porções do espectro eletromagnético. Essa imagem possui, ao total, 16 classes das quais foram criados dois grupos compostos por cinco classes cada. As classes do primeiro grupo foram escolhidas com base em seu nível de semelhança e o segundo grupo foi escolhido de forma inversa, com base no menor nível de similaridade entre elas. O objetivo deste grupo foi avaliar quão bem a SVM podem lidar com classes semelhantes. Validado o algoritmo em linguagem C, foi usada a ferramenta Xilinx Vitis HLS para inferir lógica digital para FPGA a partir do código em C. Como resultados, para essa abordagem, obtemos um custo de 4682 LUT, 12 LUTRAM, 2719 FF, 36 DSP, com 0,137 W de potência dissipada e 20 MHz de frequência máxima de operação para um FPGA XC7Z020-CLG484-1 da fabricante Xilinx. O resultado deste trabalho, conclui que o desempenho e custo de recursos lógicos foram melhores, comparado a implementação em linguagem de descrição de hardware VHDL, o qual obteve o custo de 6722 LUT, 462 FF, 53 BRAM, 12 DSP, com 0,373 W de potência dissipada e 2,5 MHz.

Palavras-chave: Aprendizado de Máquina; Aceleradores em Hardware; SVM; HLS;.

Programa UNIEDU – Bolsa de Pesquisa Art. 170 e Art. 171 / Governo de Santa Catarina / UNIVALI